

実用新案登録願(6)

(1,500円)

昭和 年49.3.20日

特許庁長官 齋 藤 英 雄 殿



1. 考案の名称

リ ン ン ン ン ン ン

2. 考 案 者

神奈川県川崎市幸区小南東芝町1番地

東京芝浦電気株式会社小南工場内

大 光 明 堂 専 事

(ほか1名)

3. 実用新案登録出願人

住所 神奈川県川崎市幸区堀川町72番地

名称 (307) 東京芝浦電気株式会社

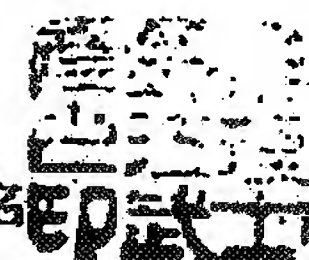
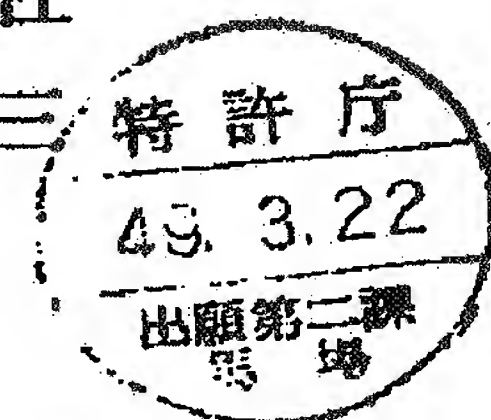
代表者 玉 置 敬 三

4. 代 理 人

住所 東京都港区芝西久保桜川町2番地 第17森ビル  
〒 105 電話 03 (502) 3 1 8 1 (大代表)

氏名 (5847) 弁理士 鈴 江 武 彦

(ほか 4 名)



49 032100

大 山 審 査





## 明 細 書

### 1. 考案の名称

#### 利得制御装置

### 2. 実用新案登録請求の範囲

制御信号がソース側から供給される電界効果形トランジスタを被制御信号の伝送路に直列的に介挿してなる利得制御装置。

### 3. 考案の詳細な説明

本考案は電界効果形トランジスタを利用した利得制御装置の改良に関する。

従来、自動利得制御装置（以下単にA G Cと記す）の利得制御用能動素子としてはダイオードや通常のトランジスタを用いるのが一般的である。而してかかるA G Cにあつてはいずれの素子を用いる場合であつても、利得制御電力が大きく且つ入力信号が大きい場合、出力信号に歪や混変調が生じる欠点があつた。

このため、原理的にすなわち抵抗変化特性の直線性がよくしかも広いダイナミツレンジ特性を有することにより利得制御電力が小さく、歪

や混雑を生じることのない電界効果形トランジスタ（以下単にFETと記す）を利用した第1図に示すようなAGOが考案されている。すなわちこのAGOはFET(Q<sub>1</sub>)のゲートGに制御電圧を供給し、それによるドレインD—ソースS間の抵抗変化を利用して、ドレインDに入力抵抗R<sub>g</sub>を介して印加される入力信号を適宜なレベルに減衰せしめる如くし、該FET(Q<sub>1</sub>)にいわば並列的に接続される等価負荷抵抗R<sub>c</sub>で表わす次段能動素子に利得を制御した信号を供給するようにしたものである。ここで入力抵抗R<sub>g</sub>は前記減衰せしめる量を十分にとるために介挿されるものである。

しかしながらかかるFETを利用したAGOにあつては、FET(Q<sub>1</sub>)のインピーダンスが比較的高いにもかかわらず、これにいわば並列的に接続される次段の例えばトランジスタや集積回路IC等の入力インピーダンスが低いため、実質的に必要となる入力抵抗R<sub>g</sub>と等価負荷抵抗R<sub>c</sub>とによつて挿入損失が決定されるようにな



る。従つて前記したように入力抵抗  $R_d$  は減衰量を十分にとるためにすなわち利得制御の幅を大きくとるために介挿するものであるから、必然的に大きな値とされるので、挿入損失が増大する欠点があつた。

そこで本考案は上記の欠点を除去した極めて良好な自動利得制御装置を提供することを目的とするものである。 上字

以下図面を参照して本考案の一実施例につき詳細に説明する。

すなわち第2図において  $IN_{11}$  は被制御信号が印加される入力端であり、この入力端  $IN_{11}$  は結合コンデンサ  $C_{11}$  を介して  $FET(Q_{11})$  のドレイン  $D$  に接続される。そしてこの  $FET(Q_{11})$  は、そのゲート  $G$  が抵抗  $R_{11}$  を介してバイアス電源  $+B$  に接続されると共に抵抗  $R_{12}$  を介して接地され、またそのソース  $S$  が抵抗  $R_{13}$  を介して接地されると共に抵抗  $R_{14}$  および  $LC$  フィルタ  $F_{11}$  を介して制御信号入力端  $V_{AGC}$  に接続され且つ結合コンデンサ  $C_{12}$  を介してそれ

それ一端が接地された出力抵抗  $R_o$  と次段の等価負荷抵抗  $R_L$  の各他端および出力端  $OUT_1$  に共通に接続される。

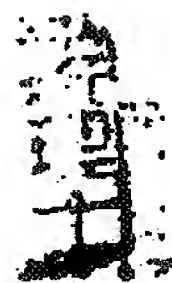
/子訂正

而して以上のように構成される FET を利用した AGC は入力端  $IN_1$  に供給される被制御信号を、分割抵抗  $R_{11}$ ,  $R_{12}$  によつて任意な値でバイアス電源  $+E$  からの固定ゲート G 電位が与えられると共に、制御信号入力端  $V_{AGC}$  からの制御信号を抵抗  $R_{13}$ ,  $R_{14}$  によつて任意な値にしかも可変的にソース S 電位が与えられることによつて、そのドレイン D - ソース S 間の抵抗値が変化される FET ( $Q_{11}$ ) によつて適宜なレベルに減衰せしめる如くして、結合コンデンサ  $C_{12}$ 、出力抵抗  $R_o$  および次段の等価負荷抵抗  $R_L$  を介して出力端  $OUT_1$  に利得制御した出力信号を供給せしめる如く作用するものである。

そして以上のような本考案によればいわば信号の伝送路に沿つて直列的に FET ( $Q_{11}$ ) を介挿すると共に、該 FET ( $Q_{11}$ ) のゲート G バ

イアスを固定とし且つソース S 側から制御信号を与えていることによつて、そのドレイン D - ソース S 間で実現される高インピーダンスをそのまま利用し得るため、これだけでも十分な減衰量をとることができるようになり、従来のように入力抵抗を介挿せしめる必要がなくなるので、それによる挿入損失の増大を解消し得る。また以上によつて本考案における挿入損失は実質的に出力抵抗  $R_o$  と次段の等価負荷抵抗  $R_L$  との並列合成値によつて決定されるので、次段の等価負荷抵抗  $R_L$  の値に応じて出力抵抗  $R_o$  を適宜調整すればすなわち  $R_L$  が小ならば  $R_o$  を大に、 $R_L$  が大ならば  $R_L$  を小にすれば、 $R_L$  の値によつて挿入損失が変化するようなことなく、略一定にすることができる。さらに本考案によれば前述したように各別の分割抵抗  $R_{11}$ ,  $R_{12}$  と  $R_{13}$ ,  $R_{14}$  とによつて  $PET(Q_{11})$  のゲート G およびソース S 電位を任意に設定できることにより、いわゆる AGC のかかる領域を任意に設定できるようになり、特に遅延 AGC





において効果的である。

以上詳述したように本考案によれば従来の挿入損失が大きくなるという欠点を除去し得る他極めて実用的に大となる効果を奏するFETを利用した利得制御装置を提供することができる。

#### 4. 図面の簡単な説明

第1図は従来のFETを利用した利得制御装置を示す回路図、第2図は本考案によるFETを利用した利得制御装置の一実施例を示す回路図である。

$I_{N11}$  … 被制御信号入力端

$C_{11}$ ,  $C_{12}$  … 結合コンデンサ

$Q_{11}$  … FET

$R_{11}$ ,  $R_{12}$ ,  $R_{13}$ ,  $R_{14}$  … 分割抵抗

$F_1$  … LOフィルタ

$V_{AGC}$  … 制御信号入力端

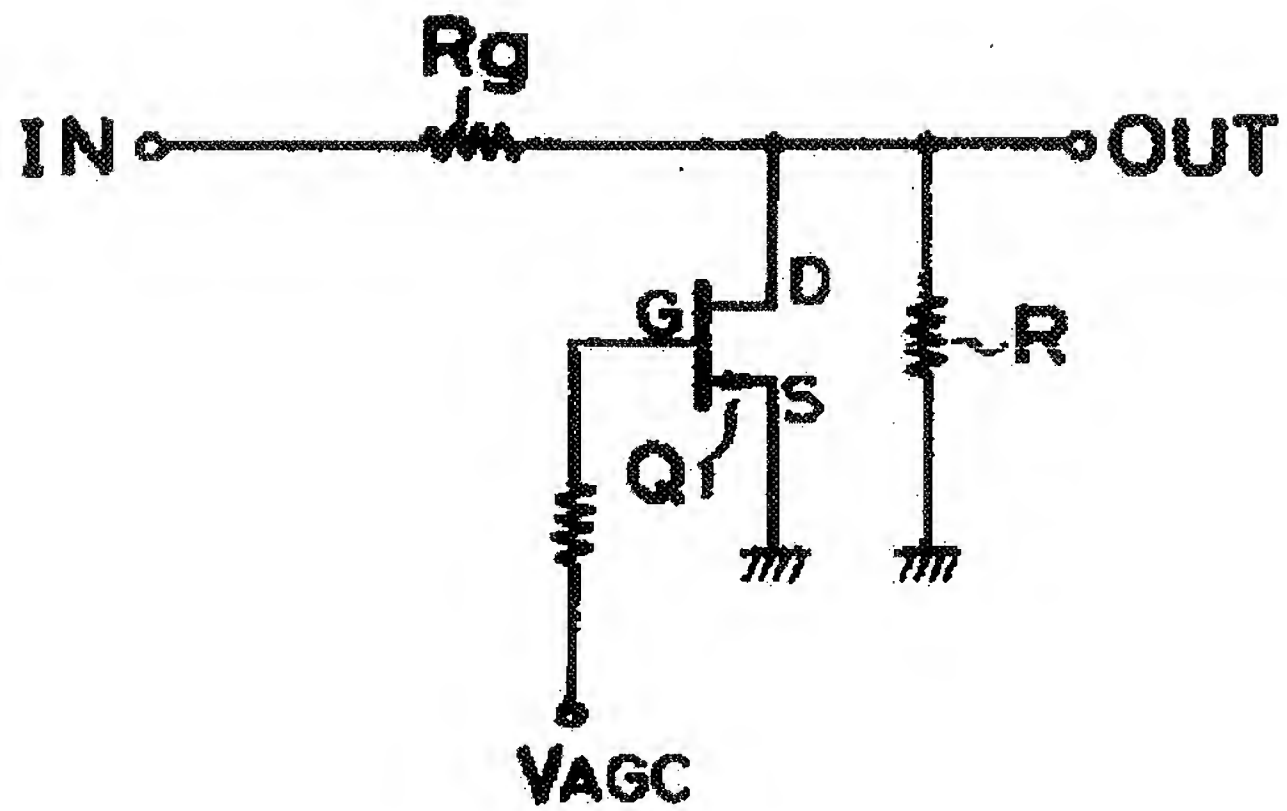
$R_o$  … 出力抵抗

$R_L$  … (次段) 等価負荷抵抗

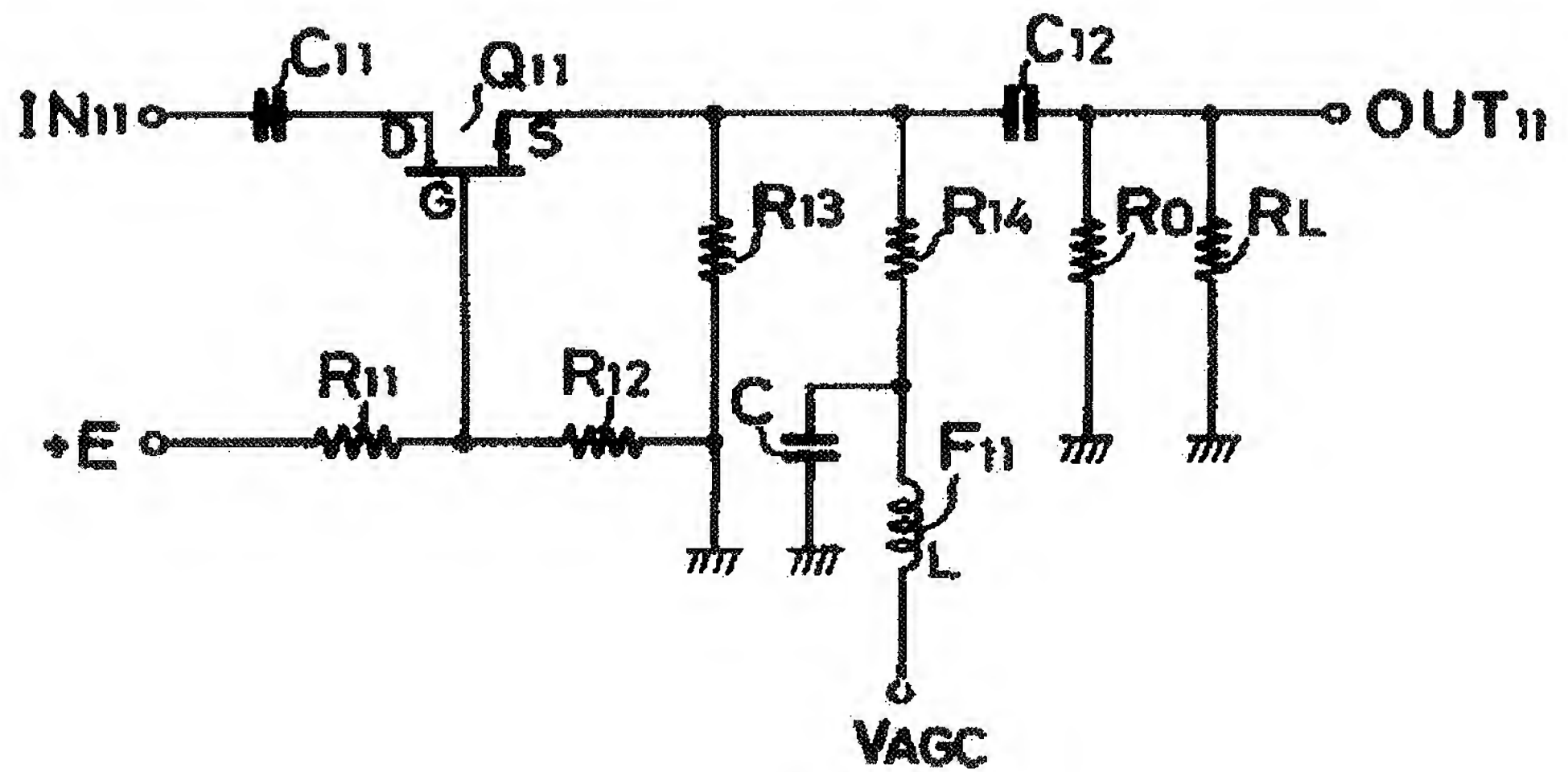
出願人代理人 弁理士 鈴 江 武 彦

121643

外 1 図



外 2 図



1 2 1 6 4 3

8573X010  
740153 1/1

出 願 人 東京芝浦電気株式会社  
代 理 人 錦 江 武 彦



43

5. 添付書類の目録

(1) 委任状	1通	同時提出の委任状を添付する。
(2) 明細書	1通	
(3) 図面	1通	
(4) 願書副本	1通	

6. 前記以外の考案者、実用新案登録出願人または代理人

(1) 考案者

カワチキ レタイグイタ コムカイ トウレバチヨウ  
神奈川 県 川崎市 幸区 小向 東芝町 1 番地  
トウキョウ シンバウチ デンキ  
東京 芝浦 電気株式会社 小向工場内  
コムカイ トウレバチヨウ  
小 林 健 三

(2) 代理人

住所 東京都港区芝西久保桜川町 2 番地 第17森ビル  
氏名 (5743) 弁理士 三 木 武 雄  
住所 同 所  
氏名 (6694) 弁理士 小 宮 幸 一  
住所 同 所  
氏名 (6881) 弁理士 坪 井 淳  
住所 同 所  
氏名 (7043) 弁理士 河 井 将 次

